ザイリンクス System Generator For DSP
-HDL Co-Simulation-

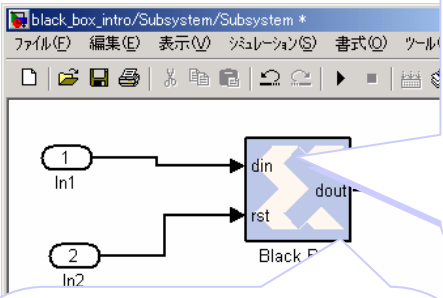
どのような設計者に？

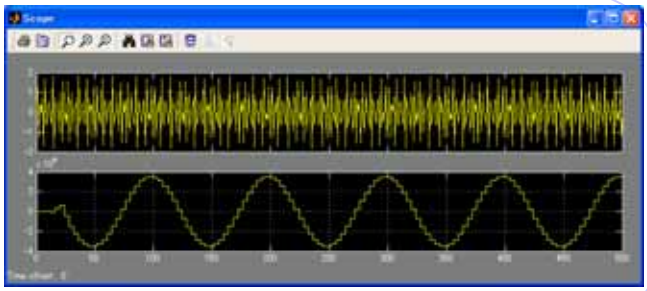
- VHDLやVerilog-HDLの資産をMATLAB/Simulinkからの設計に活かしたい。
- ディジタル信号処理はMATLAB/Simulinkから、その他の回路はHDL記述したい。
  →それでもディジタル信号処理部とその他の回路を統合したシミュレーションをしたい。
- MATLAB/Simulink上Xilinx Blocksetにはないが、Core Generatorには存在するコアをMATLAB/Simulink上でシミュレーションしたい。
- サードパティー製コアもMATLAB/Simulink上で統合したシミュレーションをしたい。

HDL Co-Simulationとは

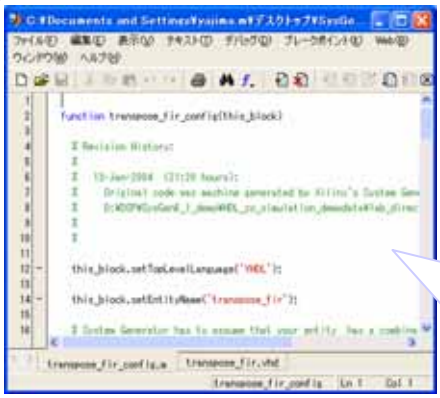
- MATLAB/Simulink上でHDL記述された回路を統合してシミュレーションすることができます。
- HDL記述の部分はMATLAB/Simulinkの裏でModelSimを起動しシミュレーションさせます。
  →HDL Co-Simulationには別途、ModelSimが必要となります。
  →動作可能なModelSimはModelSim XE,PE,SEのいづれかになります。
- MATLAB/Simulink上ではXilinx Blocksetにある「Black Box」がHDLソースと1：1にリンクするような表現をします。
- MAtLAB/SimulinkとHDLとをリンクするために、自動でM-Fileのワッパ(雛形)を作成します。
  →自動生成されたM-Fileを編集することができます。
- 表現できるHDLは最上位階層がVHDLである必要があります。
  →対象がVerilog-HDLの場合、『ネットリスト化→VHDLエンティティ記述』する必要があります。
  →対象がネットリストの場合、『VHDLエンティティ記述』する必要があります。
- リンクするHDLが順序回路を含むデザインの場合、最上位階層にはclk(クロック)とce(クロックネーブル)の信号が必須です。
  →xxx_clk、xxx_ceなど信号名の修飾(xxx_)を同じにすると、ツールは自動でclkとceを判別します。

HDL Co-Simulationイメージ

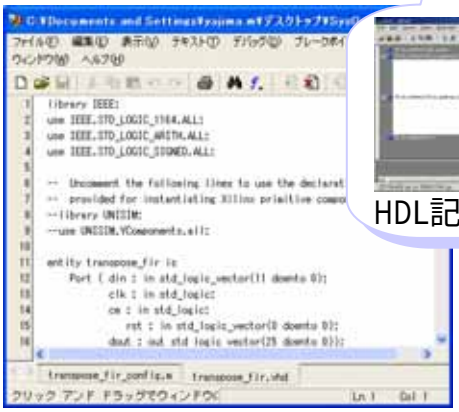




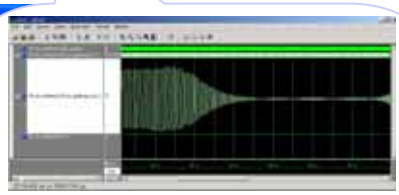
MATLAB/Simulinkのシミュレーション結果



M-Fileワッパー(自動生成)



リンクするHDLファイル



HDL記述はModelSimが動作